

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-083140  
(43)Date of publication of application : 28.03.1997

(51)Int.Cl.

H05K 3/46

(21)Application number : 07-256980  
(22)Date of filing : 08.09.1995

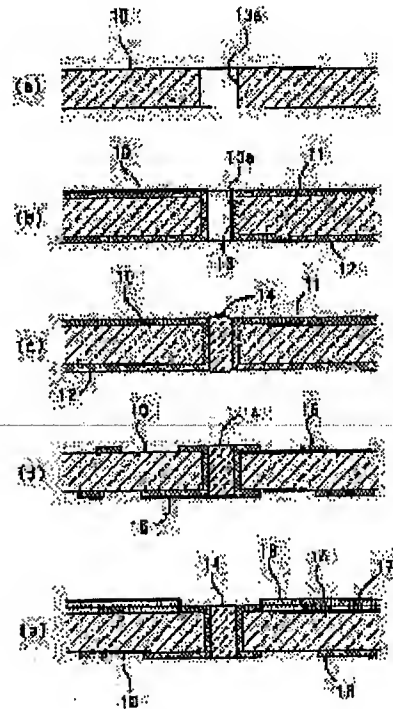
(71)Applicant : DAIWA KOGYO:KK  
(72)Inventor : MOCHI KATSUHIRO  
TANE KAZUHIKO  
YOSHIMURA MASAHIRO  
NAKAJIMA YOSHIKO  
KITAMURA MICHIIHIKO

## (54) METHOD OF MANUFACTURING MULTI-LAYERED WIRING BOARD

(57)Abstract:

**PROBLEM TO BE SOLVED:** To realize a manufacturing method capable of manufacturing a multi-layered wiring board having satisfactory high frequency characteristics and breakdown voltage by improving an interlayer connection structure, the multi-layered wiring board including an internal circuit formed into high density by a build-up method.

**SOLUTION:** A through-hole 10a is formed in a base member 10, and copper is plated on the surface of the base member 10 to form plated layers 11, 12, and 13. Then, an insulation material 14 is pushed into the through-hole 10 via a metal mask having an opening formed correspondingly to the through-hole 10a. After the insulating material 14 is hardened, the surface of the base member 10 is flattened by polishing. Since the insulating material is filled in an inner via hole, interference between internal wirings in the multi-layered wiring board is reduced to improve high frequency characteristics and withstand voltage.



**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

- 1.This document has been translated by computer. So the translation may not reflect the original precisely.
- 2.\*\*\* shows the word which can not be translated.
- 3.In the drawings, any words are not translated.

---

**CLAIMS**

---

[Claim(s)]

[Claim 1]In a manufacturing method of a multilayer interconnection board formed on a substrate by a method which laminates two or more wiring layers one by one via an insulating layer, A manufacturing method of a multilayer interconnection board establishing a process of filling up an inside of said opening with an insulation material so that a base material surface may become to abbreviated flatness after forming conductive connection structure between different layers which connected conductively a different wiring layer via an opening formed in said substrate or said insulating layer.

[Claim 2]A manufacturing method of a multilayer interconnection board after a process of being filled up with said insulation material in claim 1 applying said insulation material selectively in said opening, wherein it is a process of carrying out flattening of the surface top where said insulation material was applied mechanically.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DETAILED DESCRIPTION**

---

**[Detailed Description of the Invention]**

**[0001]**

**[Field of the Invention]** This invention relates to the manufacturing method of a multilayer interconnection board, and relates to the manufacturing process of the multilayer interconnection board formed by the build up method which laminates two or more wiring layers one by one, and forms them via an insulating layer especially on a substrate.

**[0002]**

**[Description of the Prior Art]** Conventionally, to the method of manufacturing a multilayer interconnection board, after forming a wiring layer in two or more substrates, respectively, An insulating layer is formed on the junction method of making an insulation sheet intervene between substrates and joining, and the substrate with which the circuit pattern was formed, Condition of forming a circuit pattern on this insulating layer has a build up method which forms the laminated structure by repeating formation of an insulating layer and a circuit pattern successively.

**[0003]** According to the latter build up method, since it is not necessary to pile up two or more substrates and insulation sheets unlike the required junction method of a joining process, a thin multilayer interconnection board can be formed with high density and comparatively easily. The manufacturing method of such a multilayer substrate of a method is indicated to JP,61-216392,A, JP,61-224397,A, JP,1-39236,B, JP,3-3298,A, etc. In the manufacturing method of the multilayer interconnection board by such a build up method, since formation of each insulating layer and a wiring layer is performed one by one by a thin-film-forming method, many wiring layers can be formed in a thin substrate, and it becomes possible to mount a circuit and electronic parts with high density.

**[0004]**

**[Problem(s) to be Solved by the Invention]** However, if a circuit is formed with high density by the multilayer interconnection board formed by the above-mentioned build up method, the electromagnetism interference between each class occurs, it will become impossible to disregard the electric capacity between wiring, and a problem will produce it in the high frequency characteristic of a circuit, or pressure-proofing by the cause of insulation resistance also falling.

**[0005]** Although especially carried out by the process of the multilayer interconnection board of a build up method by forming the metal skin used as the upper wiring layer on the lower layer wiring layer exposed without forming an insulating layer beforehand as a structure of performing conductive connection between different wiring layers, Since it becomes the structure where the quite big conductor was filled up with these conductive connection parts inside the surrounding insulating layer, it is thought that the electromagnetism influence of this portion is great.

**[0006]** Then, this invention solves the above-mentioned problem, and even if the technical problem is the multilayer interconnection board which constituted the internal circuit with high density with the build up, there is in realizing the manufacturing method which can manufacture a high frequency characteristic and a pressure-proof good multilayer interconnection board.

**[0007]**

**[Means for Solving the Problem]** In a manufacturing method of a multilayer interconnection board

formed by a method with which this invention laminates two or more wiring layers one by one via an insulating layer on a substrate in order to solve an aforementioned problem. After forming conductive connection structure between different layers which connected conductively a different wiring layer via an opening formed in said substrate or said insulating layer, i.e., an opening etc. which were formed in a breakthrough drilled by substrate or an insulating layer, A process of filling up an inside of said opening with an insulation material so that a base material surface may become abbreviated flatness was established.

[0008]In this case, after a process of being filled up with said insulation material applies said insulation material selectively in said opening, it is preferred that it is the process of carrying out flattening of the surface top where said insulation material was applied mechanically.

[0009]filling up an inside of an opening with an insulation material, after forming conductive connection structure in an opening of a substrate or an insulating layer according to claim 1 — a conductor, while being able to perform positive conductive connection, without making quantity increase, Since electric capacity between wiring layers can be reduced and insulation resistance can be raised, improvement in the high frequency characteristic of a substrate and withstand voltage can be aimed at, and noise-proof nature can also improve. Since an upper insulating layer and a wiring layer can be formed on a flat face by being filled up with an insulation material so that it may become abbreviated flatness, section structure of a substrate can be adjusted and a wiring defect etc. can be prevented.

[0010]According to claim 2, after applying an insulation material selectively, a process of being filled up with the above-mentioned insulation material can be easily formed with simple equipment by carrying out flattening of the surface top mechanically. Here, as the method of spreading, screen-stencil can be used and polish by hand stroke belt sander, a buff, etc. can be used as a method of carrying out flattening mechanically.

[0011]

[Embodiment of the Invention]Next, the example of the manufacturing method of the multilayer interconnection board which starts this invention with reference to drawings is described. In this example, first, as shown in drawing 1 (a), the breakthrough 10a is drilled in the substrate 10. Next, as shown in drawing 1 (b), coppering is performed to the rear surface of the substrate 10. At this time, the metal skins 11 and 12 are formed in the rear surface of the substrate 10, respectively, and the metal skin 13 formed on the inner surface of the breakthrough 10a connects conductively these metal skins 11 and metal skins 12.

[0012]Next, metal masks, such as stainless steel sheet metal which formed the opening corresponding to the breakthrough 10a, are made to intervene, and as the insulation material 14 is pushed into the breakthrough 10a and put in, you make it filled up with it as shown in drawing 1 (c). Screen-stencil may be used like this packer. Generally as construction material of this insulation material 14, various things, such as various resin dissolved in the solvent etc., a photo-setting resin, or a thing which uses thermosetting resin etc. as the main ingredients again, can be used. When the thermosetting resin which uses an epoxy resin as the main ingredients especially is used, since there is little heat contraction nature, it is desirable, in view of the viewpoint of restoration nature.

[0013]After stiffening the insulation material 14 according to the usual dry hardening, photo-curing, heat curing, etc., the surface of the substrate 10 is lightly ground by a hand stroke belt sander, buffing, etc. Of this polishing process, as shown in drawing 1 (d), the surface of the insulation material 14 of the opening of the breakthrough 10a is mostly formed that it is flat-tapped and evenly with the metal skins 11 and 12. On the metal skins 11 and 12, photolithography technique is used, a predetermined mask is formed, and the wiring layers 15 and 16 with a predetermined pattern are formed by carrying out an etching process.

[0014]Next, as shown in drawing 1 (e), after applying the insulating resist 17 on the surface, the opening only of the field connected with the upper layer using photolithography technique is carried out. On this insulating resist, the insulating resist 18 is applied further in a similar manner, and the opening only of the described area is similarly carried out using photolithography technique. In a figure, this opening region is the insulation material 14 and a wiring section of the circumference of it.

[0015]As shown in drawing 2 (f), on the insulating resist 18 of a two-layer eye, into predetermined reactive resin, the insulation material 14 and the wiring section of the circumference of it are avoided by screen-stencil etc., and the coating material 19 which made many fillers contain is applied. As reactive resin of the coating material 19, various thermosetting resin or photo-setting resins can be used. As a filler contained in this, the fine grain of calcium carbonate etc. which can be eluted, for example, a particle with a particle diameter of about several micrometers, is used.

[0016]After applying the coating material 19 and making it harden from heating or an optical exposure, as shown in drawing 2 (g), By what (figure destructive line arrow A) the surface is lightly ground for with a buff. By removing the hardening layer near the surface, using an abrasive grain with a particle diameter of about tens of micrometers for after an appropriate time, and performing sandblast treatment after an appropriate time, while removing the remains of surface lapping and forming a uniform split face, the filler laid underground near the surface is exposed. By performing soft etching using the acid solution for washing, etc. in this state, a filler is made eluted and detailed unevenness is formed in the surface.

[0017]The process of opening the breakthrough 10b in a substrate if needed is provided in next. This breakthrough 10b is drilled by drilling etc. like the breakthrough 10a shown in drawing 1 (a). This breakthrough 10b is formed in a portion to be connected conductively for the wiring layer 16 and the upper wiring layer.

[0018]Thus, on the surface of the coating material 19 by which surface roughening was carried out, as shown in drawing 2 (h), electroless deposition is performed, the 1st metal skin 20 is formed completely, further, electrolytic plating is performed and the 2nd metal skin 21 is formed. Thus, a metal skin is formed in two-layer, raising the covering intensity of a metal skin in order to maintain the smooth nature of the surface of a metal skin. The conductive connection part C is formed of these metal skins. This conductive connection part C is formed on the wiring layer 15 formed in ring shape, as shown in drawing 4 (a). In this plating process, the inner surface of the breakthrough 10b is also covered with a metal skin, and the rear surface of a substrate is connected conductively.

[0019]Next, as shown in drawing 2 (i), the metal skins 20 and 21 are etched with the same photolithography technique as the above, and the wiring layer 22 is formed by a predetermined pattern. And in forming a wiring layer in the upper layer of this wiring layer further, it fills up with the above-mentioned insulation material 14 and the same insulation material 23 the crevice formed above the conductive connection part C. At this time, it fills up with the insulation material 23 also like the breakthrough 10b.

[0020]since a structure equivalent to a blind via hole is formed in the portion of the breakthrough 10a and the insulation material 14 is moreover filled up with this example into this inside -- a conductor -- quantity can be lessened. Therefore, the electromagnetic-like influence (influence on a high frequency characteristic, pressure-proofing, etc. by electric capacity, insulation resistance, etc. between conductors) of the wiring layer on upper can be reduced. Since it is ground mechanically, flattening is carried out and the opening surface of the insulation material 14 can form the upper structure in this example after carrying out flattening of the upper surface of the wiring layer concerned, It becomes possible to also prevent simultaneously the geometrical influence (lower layer unevenness influences the upper stratification and brings about the deficit and rupture of wiring) on the upper layer.

[0021]Drawing 3 shows the section of the field where the above-mentioned examples differ. Here, as shown in drawing 3 (a), the conductive connection part D is formed in a different position from a structure equivalent to the blind via hole formed in the portion of the breakthrough 10a formed in the substrate 10. This conductive connection part D connects the wiring layer 15 and the wiring layer 22, and that of that formation method is the same as that of the above-mentioned conductive connection part C.

[0022]The conductive connection part D is filled up with the insulation material 23 like the above, and after carrying out flattening by giving mechanical polish to a substrate face further, as shown in drawing 3 (b), the formation process of the insulating resist 24 and 25, and spreading and the formation process of the coating material 26 are carried out like the above. And the

formation process of a metal skin and the formation process of a circuit pattern are performed, and the new wiring layer 27 is formed. Here, the conductive connection part E connects the wiring layer 22 and the wiring layer 27.

[0023]In this field, the conductive connection part D of the wiring layer 15 of plane shape and the wiring layer 22 which are shown in drawing 4 (b) has a structure equivalent to the inner viahole formed in the substrate as shown in drawing 3 (c). In this case, the inside of the hole concerned is filled up with the insulation material 23. therefore, the above -- the same -- a conductor -- quantity is reduced, the electrical insulation between the wiring sections of the circumference improves, and improvement in a high frequency characteristic, pressure-proofing, and noise-proof nature can be expected. namely, the periphery of the insulation material 14 which became blind via hole structure by existence of the insulation materials 14 and 23 and the wiring section 22a formed in the upper layer -- or, The electromagnetism interference between the periphery of the insulation material 23 used as inner viahole structure and the wiring section 27a formed in the upper layer decreases, and an electrical property improves.

[0024]Drawing 5 shows the partial section of the possible multilayer interconnection board 30 of forming by the method of the above-mentioned example. This multilayer interconnection board 30 is six layer boards which have circuitry of six layers of the wiring layers 31, 32, 33, 34, 35, and 36 in a substrate. Much blind via hole structures 37 and inner viahole structures 38 are formed in this inside. Here, although only the viahole structure of connecting between adjacent layers is shown in drawing 5, the blind via hole structure and inner viahole structure of connecting between the wiring layers left more than two-layer can also be formed.

[0025]In the multilayer substrate shown in drawing 5, the electric conduction pad (chip lands) 39 which loses the through hole for insertion of the electronic parts mounted in a substrate face, instead carries out direct continuation of the electronic parts is formed on a substrate face. Only the through hole 40 for wiring connection formed from the reasons of wiring is formed in the substrate itself.

[0026]Since according to this invention the electric capacity between conductors can be reduced and insulation resistance can be raised also in the high-density multilayer substrate formed by the build up method so that this structure may show, A high frequency characteristic is good, pressure-proofing is high, and the epoch-making multilayer interconnection board that it is strong also in a noise (it is hard to gather a noise) can be manufactured.

[0027] [Effect of the Invention]filling up the inside of an opening with an insulation material, after forming conductive connection structure in the opening of a substrate or an insulating layer according to this invention, as explained above -- a conductor, while being able to perform positive conductive connection, without making quantity increase, Since the electric capacity between wiring layers can be reduced and insulation resistance can be raised, improvement in the high frequency characteristic of a substrate and withstand voltage can be aimed at, and noise-proof nature can also improve. Since an upper insulating layer and wiring layer can be formed on a flat face by being filled up with an insulation material so that it may become abbreviated flatness, the section structure of a substrate can be adjusted and a wiring defect etc. can be prevented.

---

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

**DESCRIPTION OF DRAWINGS**

---

**[Brief Description of the Drawings]**

[Drawing 1] It is process-drawing (a) - (e) which shows the example of the manufacturing method of the multilayer interconnection board concerning this invention.

[Drawing 2] It is process drawing (f) - (i) which show the example of the manufacturing method of the multilayer interconnection board concerning this invention.

[Drawing 3] It is process-drawing (a) - (c) which shows the cross section part of other fields of the above-mentioned example.

[Drawing 4] It is a top view (b) showing a part of field shown in the top view (a) showing a part of field shown in drawing 2, and drawing 3.

[Drawing 5] an example of the multilayer interconnection board which can be formed by this invention is shown -- it is a cross section in part.

**[Description of Notations]**

10 Substrate

10a and 10b Breakthrough

14 and 23 Insulation material

15, 16, 22, and 27 Wiring layer

C, D, and E Conductive connection part

---

**[Translation done.]**

(51)Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 5 K 3/46			H 0 5 K 3/46	G N V

審査請求 有 請求項の数2 F D (全 6 頁)

(21)出願番号	特願平7-256980	(71)出願人	395015803 株式会社ダイワ工業 長野県岡谷市神明町四丁目1番25号
(22)出願日	平成7年(1995)9月8日	(72)発明者	餅 勝博 大阪府大阪市阿倍野区西田辺町2丁目3番3号 日本システック株式会社内
		(72)発明者	種子 一彦 大阪府大阪市阿倍野区西田辺町2丁目3番3号 日本システック株式会社内
		(72)発明者	吉村 奨浩 長野県岡谷市神明町4丁目1番25号 株式会社ダイワ工業内
		(74)代理人	弁理士 三枝 弘明

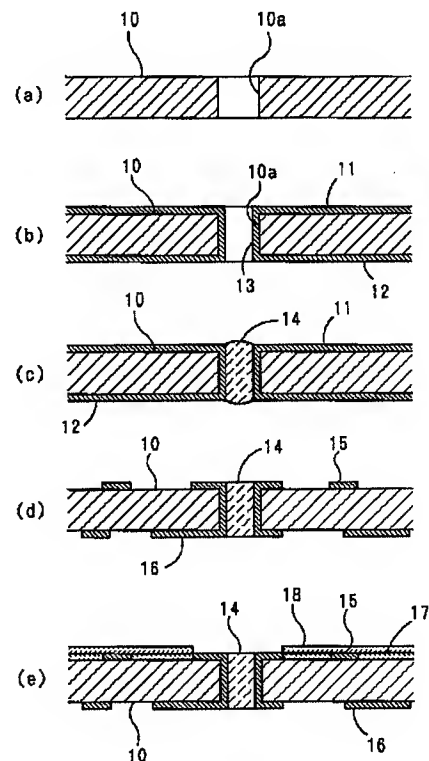
最終頁に続く

## (54)【発明の名称】 多層配線基板の製造方法

## (57)【要約】

【課題】 ビルドアップ法により内部回路を高密度に構成した多層配線基板において、層間接続構造を改良することにより高周波特性や耐圧の良好な多層配線基板を製造できる製造方法を実現する。

【解決手段】 基材10に貫通孔10aを穿設し、基材10の表面に銅メッキを施して、メッキ層11、12、13を形成する。次に、貫通孔10aに対応して開口を形成したメタルマスクを介在させて絶縁材14を貫通孔10a内に押し入れる。この絶縁材14を硬化させた後、研磨により基材10表面を平坦化する。インナーバイアホール内に絶縁材が充填されていることにより、多層配線基板における内部配線間の干渉が少なくなり、高周波特性や耐圧が向上する。





**【特許請求の範囲】**

**【請求項1】** 基材上に複数の配線層を絶縁層を介して順次積層する方式により形成される多層配線基板の製造方法において、

前記基材若しくは前記絶縁層に形成された開口部を介して異なる配線層を導電接続した異層間導電接続構造を形成した後に、前記開口部の内部に絶縁材を基材表面が略平坦になるように充填する工程を設けたことを特徴とする多層配線基板の製造方法。

**【請求項2】** 請求項1において、前記絶縁材を充填する工程は、前記絶縁材を前記開口部内に選択的に塗布した後、前記絶縁材の塗布された表面上を機械的に平坦化する工程であることを特徴とする多層配線基板の製造方法。

**【発明の詳細な説明】****【0001】**

**【発明の属する技術分野】** 本発明は多層配線基板の製造方法に係り、特に、基材上に複数の配線層を絶縁層を介して順次積層して形成するビルドアップ方式により形成される多層配線基板の製造工程に関する。

**【0002】**

**【従来の技術】** 従来、多層配線基板を製造する方法には、複数の基材にそれぞれ配線層を形成した上で、基材の間に絶縁シートを介在させて接合する等の接合方式と、配線パターンの形成された基材の上に絶縁層を形成し、この絶縁層の上に配線パターンを形成するといった具合に、絶縁層と配線パターンの形成を順次繰り返すことにより積層構造を形成していくビルドアップ方式とがある。

**【0003】** 後者のビルドアップ方式によれば、接合工程の必要な接合方式とは異なり複数の基材や絶縁シートを重ね合わせる必要がないため、薄い多層配線基板を高密度にかつ比較的容易に形成することができる。このような方式の多層基板の製造方法は、特開昭61-216392号公報、特開昭61-224397号公報、特公平1-39236号公報、特開平3-3298号公報等に記載されている。このようなビルドアップ方式による多層配線基板の製造方法では、各絶縁層及び配線層の形成を薄膜形成法により順次行うので、薄い基板内に多数の配線層を形成することができ、回路及び電子部品を高密度に実装することが可能になる。

**【0004】**

**【発明が解決しようとする課題】** しかしながら、上記のビルドアップ方式により形成された多層配線基板で高密度に回路を形成すると、各層間の電磁気的な干渉が発生し、配線間の静電容量が無視できなくなり、絶縁抵抗も低下する等の原因により、回路の高周波特性や耐圧に問題が生じる。

**【0005】** 特に、ビルドアップ方式の多層配線基板の製法では、異なる配線層間の導電接続を行う構造として

予め絶縁層を形成せずに露出した下層の配線層上に上層の配線層となるメッキ層を形成することによって行うが、これら導電接続部では、周囲の絶縁層の内側にかなり大きな導体が充填された構造となるため、この部分の電磁気的な影響が大きいと考えられる。

**【0006】** そこで本発明は上記問題点を解決するものであり、その課題は、ビルドアップにより内部回路を高密度に構成した多層配線基板であっても、高周波特性や耐圧の良好な多層配線基板を製造できる製造方法を実現することにある。

**【0007】**

**【課題を解決するための手段】** 上記課題を解決するために本発明は、基材上に複数の配線層を絶縁層を介して順次積層する方式により形成される多層配線基板の製造方法において、前記基材若しくは前記絶縁層に形成された開口部、即ち基材に穿設された貫通孔や絶縁層に形成された開口等を介して異なる配線層を導電接続した異層間導電接続構造を形成した後に、前記開口部の内部に絶縁材を基材表面が略平坦になるように充填する工程を設けたことを特徴とする。

**【0008】** この場合において、前記絶縁材を充填する工程は、前記絶縁材を前記開口部内に選択的に塗布した後、前記絶縁材の塗布された表面上を機械的に平坦化する工程であることが好ましい。

**【0009】** 請求項1によれば、基材又は絶縁層の開口部に導電接続構造を形成した後、開口部の内部に絶縁材を充填することにより、導体量を増加させずに確実な導電接続を行うことができるとともに、配線層間の静電容量を低減し、絶縁抵抗を高めることができるので、基板の高周波特性及び絶縁耐圧の向上を図ることができ、耐ノイズ性も向上できる。また、絶縁材を略平坦になるように充填することにより上層の絶縁層及び配線層を平坦面上に形成できるから、基板の断面構造を整合させ、配線欠陥等を防止することができる。

**【0010】** 請求項2によれば、絶縁材を選択的に塗布した後、表面上を機械的に平坦化することにより、上記の絶縁材を充填する工程を簡易な設備で容易に形成することができる。ここで、塗布の方法としてはスクリーン印刷を用いることができ、機械的に平坦化する方法としてはベルトサンダ、バフ等による研磨を用いることができる。

**【0011】**

**【発明の実施の形態】** 次に、図面を参照して本発明に係る多層配線基板の製造方法の実施例を説明する。この実施例では、先ず、図1(a)に示すように基材10に貫通孔10aを穿設する。次に、図1(b)に示すように基材10の表裏に銅メッキを施す。このとき、基材10の表裏にはメッキ層11、12がそれぞれ形成され、これらのメッキ層11とメッキ層12とを、貫通孔10aの内面上に形成されたメッキ層13が導電接続する。

【0012】次に、図1(c)に示すように、貫通孔10aに対応して開口を形成したステンレス薄板等のメタルマスクを介在させて絶縁材14を貫通孔10a内に押し入れるようにして充填させる。この充填工程はスクリーン印刷を用いてもよい。この絶縁材14の材質としては、一般的に、溶剤等に溶解させた各種樹脂、光硬化性樹脂、或いはまた熱硬化性樹脂等を主成分とするものの等の種々のものを用いることができる。特に、エポキシ樹脂を主成分とする熱硬化性樹脂を用いると、熱収縮性が少ないために充填性の観点からみて好ましい。

【0013】絶縁材14を通常の乾燥硬化、光硬化、熱硬化等により硬化させた後、基材10の表面をベルトサンダ、バフ研磨等により軽く研磨する。この研磨工程によって、図1(d)に示すように、貫通孔10aの開口部の絶縁材14の表面はほぼメッキ層11、12と面一にかつ平坦に形成される。さらに、メッキ層11、12の上にフォトリソグラフィ技術を用いて所定のマスクを形成し、エッチング処理することによって、所定のパターンを持った配線層15、16を形成する。

【0014】次に、図1(e)に示すように、表面上に絶縁レジスト17を塗布した後、フォトリソグラフィ技術を用いて上層と接続する領域のみを開口させる。この絶縁レジストの上には、さらに絶縁レジスト18を同様に塗布し、同様にフォトリソグラフィ技術を用いて上記領域のみを開口させる。この開口領域は、図中においては絶縁材14及びその周辺の配線部である。

【0015】さらに、図2(f)に示すように、2層目の絶縁レジスト18の上には、所定の反応性樹脂中に多数のフィラーを含有させたコーティング材19をスクリーン印刷等により絶縁材14及びその周辺の配線部を避けて塗布する。コーティング材19の反応性樹脂としては、種々の熱硬化性樹脂又は光硬化性樹脂を用いることができる。この中に含まれるフィラーとしては、炭酸カルシウム等の溶出可能な微小粒子、例えば数 $\mu\text{m}$ 程度の粒径の粒子を用いる。

【0016】コーティング材19を塗布して加熱又は光照射より硬化させた後に、図2(g)に示すように、その表面をバフにより軽く研磨する(図中破線矢印A)ことにより、表面近傍の硬化層を取り除き、しかる後に、数十 $\mu\text{m}$ 程度の粒径の砥粒を用いてサンドブラスト処理を行うことにより、表面の研磨跡を除去して均一な粗面を形成するとともに表面近傍に埋設されたフィラーを露出させる。この状態で洗浄用の酸溶液等を用いてソフトエッチングを行うことにより、フィラーを溶出させて、表面に微細な凹凸を形成する。

【0017】なお、この後には必要に応じて基板に貫通孔10bを開ける工程を設ける。この貫通孔10bは、図1(a)に示す貫通孔10aと同様に、ドリリング等によって穿設される。この貫通孔10bは、配線層16と上層の配線層との導電接続が必要な部分に設けられる

ものである。

【0018】このようにして粗面化されたコーティング材19の表面上に、図2(h)に示すように、無電解メッキを施して第1メッキ層20を全面形成し、さらに、電解メッキを施して第2メッキ層21を形成する。このようにメッキ層を2層に形成するのは、メッキ層の被着強度を高めつつ、メッキ層の表面の平滑性を維持するためである。これらのメッキ層により導電接続部Cが形成される。この導電接続部Cは、図4(a)に示すように、リング状に形成された配線層15上に形成されている。このメッキ工程では、貫通孔10bの内面もメッキ層で被覆され、基板の表裏が導電接続される。

【0019】次に、図2(i)に示すように、上記と同様のフォトリソグラフィ技術によりメッキ層20、21をエッチングし、所定のパターンにて配線層22を形成する。そして、この配線層の上層にさらに配線層を形成する場合には、上記の絶縁材14と同様の絶縁材23を導電接続部Cの上方に形成された凹部に充填する。このとき、貫通孔10bにも同様に絶縁材23が充填される。

【0020】この実施例では、貫通孔10aの部分にブラインドバイアホールと同等の構造が形成され、しかもこの内部には絶縁材14が充填されているため、導電量を少なくすることができる。したがって、上層の配線層への電磁気的影響(導体間の静電容量や絶縁抵抗等による高周波特性や耐圧等への影響)を低減できる。この実施例では、絶縁材14の開口表面は機械的に研磨されて平坦化されることから、当該配線層の上面を平坦化した上で上層の構造を形成してゆくことができるので、上層への形状的影響(下層の凹凸が上層の層形成に影響し配線の欠損や断絶をもたらすなど)をも同時に防止することが可能になる。

【0021】図3は、上記の実施例の異なる領域の断面を示すものである。ここでは、図3(a)に示すように、基材10に形成された貫通孔10aの部分に形成されたブラインドバイアホールと同等の構造とは異なる位置に導電接続部Dが形成されている。この導電接続部Dは配線層15と配線層22とを接続するものであり、その形成方法は上記の導電接続部Cと同じである。

【0022】導電接続部Dには上記と同様に絶縁材23が充填され、さらに、基板表面に機械的研磨を施すことによって平坦化した後に、図3(b)に示すように、絶縁レジスト24、25の形成工程、コーティング材26の塗布・形成工程が、上記と同様にして実施される。そして、メッキ層の形成工程、配線パターンの形成工程が行われ、新たな配線層27が形成される。ここで、導電接続部Eは配線層22と配線層27とを接続するものである。

【0023】この領域では、図4(b)に示す平面形状の配線層15と配線層22との導電接続部Dは、図3

(c)に示すように基板内に形成されたインナーバイアホールと同等の構造となっている。この場合、当該ホールの内部には絶縁材23が充填されている。したがって、上記と同様に導体量が低減されて、その周囲の配線部との間の電氣的絶縁性が向上し、高周波特性、耐圧及び耐ノイズ性の向上が期待できる。即ち、絶縁材14、23の存在によって、ブラインドバイアホール構造となった絶縁材14の周辺部とその上層に形成された配線部22a、或いは、インナーバイアホール構造となった絶縁材23の周辺部とその上層に形成された配線部27aとの間の電磁氣的な干渉が少なくなり、電氣的特性が向上する。

【0024】図5は上記の実施例の方法により形成することの可能な多層配線基板30の一部断面を示すものである。この多層配線基板30は、基板内に配線層31、32、33、34、35、36の6層の回路構成をもつ6層基板である。この内部には、ブラインドバイアホール構造37、インナーバイアホール構造38が多数形成されている。ここで、図5には隣接層間を接続するバイアホール構造のみを示しているが、2層以上離れた配線層間を接続するブラインドバイアホール構造、インナーバイアホール構造も形成できる。

【0025】なお、図5に示す多層基板では、基板表面に実装する電子部品の挿通用のスルーホールを無くし、その代わりに電子部品を直接接続する導電パッド(チップランド)39を基板表面上に形成している。基板自体に形成されているのは、配線上の理由から形成された配線接続用のスルーホール40のみである。

【0026】この構造からわかるように、本発明によれば、ビルドアップ法により形成される高密度な多層基板においても、導体間の静電容量を低減し、絶縁抵抗を高めることができるので、高周波特性が良好で、耐圧が高

く、ノイズにも強い(ノイズを拾い難い)という画期的な多層配線基板を製造することができる。

#### 【0027】

【発明の効果】以上説明したように本発明によれば、基材又は絶縁層の開口部に導電接続構造を形成した後、開口部の内部に絶縁材を充填することにより、導体量を増加させずに確実な導電接続を行うことができるとともに、配線層間の静電容量を低減し、絶縁抵抗を高めることができるので、基板の高周波特性及び絶縁耐圧の向上を図ることができ、耐ノイズ性も向上できる。また、絶縁材を略平坦になるように充填することにより上層の絶縁層及び配線層を平坦面上に形成できるから、基板の断面構造を整合させ、配線欠陥等を防止することができる。

#### 【図面の簡単な説明】

【図1】本発明に係る多層配線基板の製造方法の実施例を示す工程図(a)～(e)である。

【図2】本発明に係る多層配線基板の製造方法の実施例を示す工程図(f)～(i)である。

【図3】上記実施例の他の領域の断面部分を示す工程図(a)～(c)である。

【図4】図2に示す領域の一部を示す平面図(a)及び図3に示す領域の一部を示す平面図(b)である。

【図5】本発明により形成することのできる多層配線基板の一例を示す一部断面部である。

#### 【符号の説明】

##### 10 基材

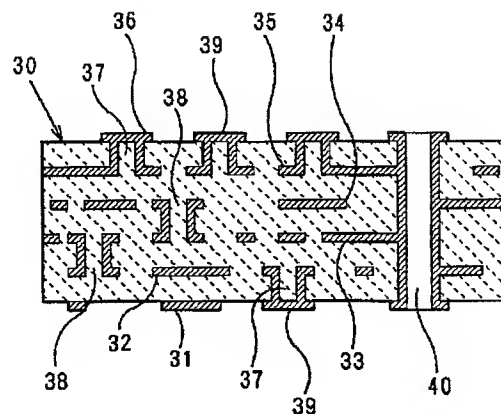
10a, 10b 貫通孔

14, 23 絶縁材

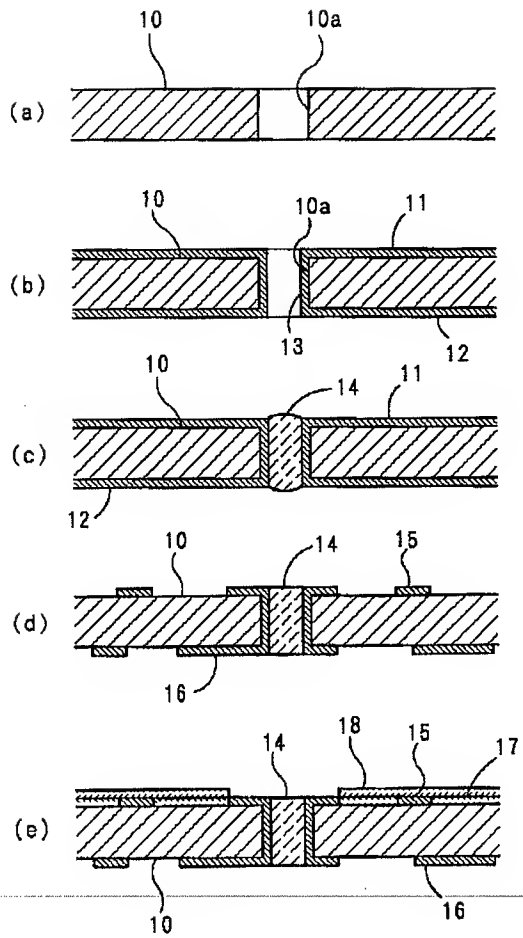
15, 16, 22, 27 配線層

C, D, E 導電接続部

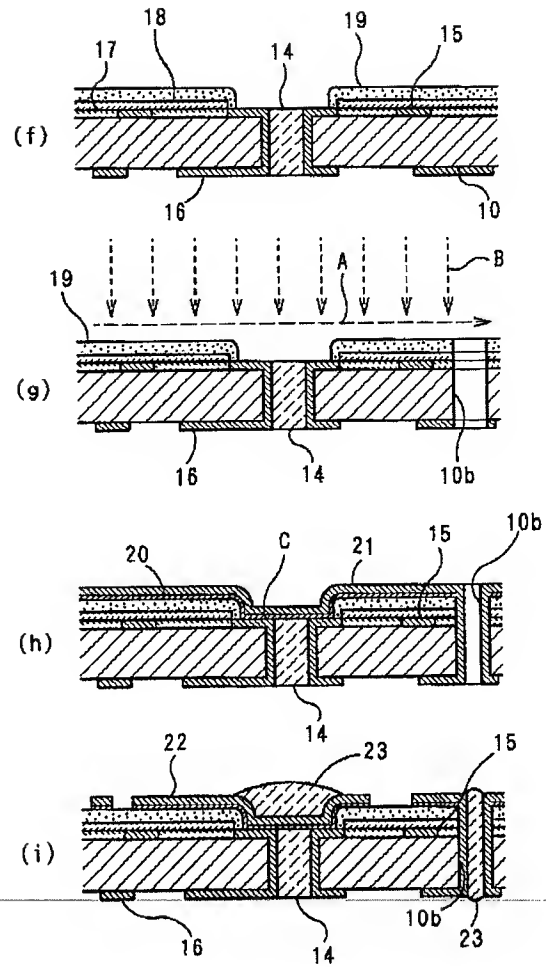
【図5】



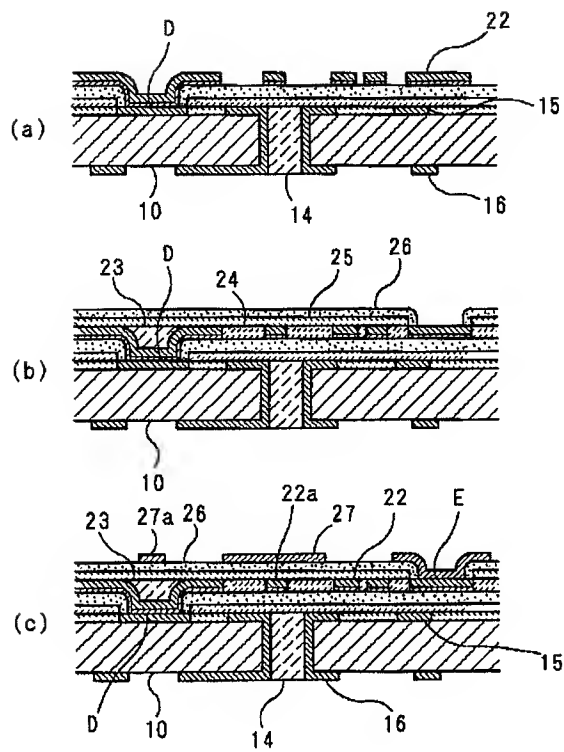
【図1】



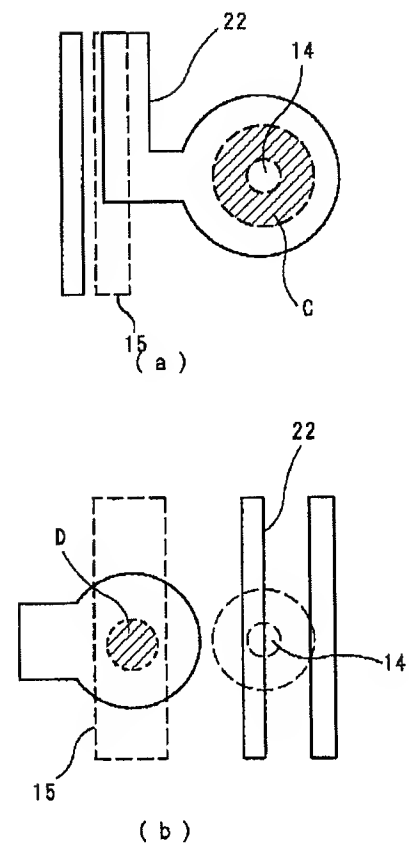
【図2】



【図3】



【図4】



フロントページの続き

(72)発明者 中島 佳子  
長野県岡谷市神明町4丁目1番25号 株式  
会社ダイワ工業内

(72)発明者 北村 充彦  
長野県岡谷市神明町4丁目1番25号 株式  
会社ダイワ工業内